

主要特点

- ✓ 支持 **USB DCP BC1.2** 充电规范
 - n D+/D- 短接模式
- ✓ 支持 **YD/T 1591USB** 充电标准
 - n D+/D- 短接模式
- ✓ 支持 **Apple 12W USB DCP** 标准
 - n D+/D- 均施加 2.7V 模式
- ✓ 支持 **Apple 10W USB DCP** 标准
 - n D+ 施加 2.7V /D- 施加 2V 模式
- ✓ 支持 **Apple 5W USB DCP** 标准
 - n D+ 施加 2V /D- 施加 2.7V 模式
- ✓ 支持 **Samsung USB DCP** 标准
 - n D+/D- 均施加 1.2V 模式
- ✓ 接入设备后自动选择对应模式
- ✓ 支持两个或一个 **USB** 端口
 - n **LN4050**: 支持两个 **USB** 端口
 - n **LN4051**: 支持一个 **USB** 端口
- ✓ 低于 **1mW** 的极低电源消耗
- ✓ 使用小巧的 **SOT23-6** 封装形式

应用领域

- 2 通用 **USB** 充电器
- 2 通用移动电源
- 2 通用车载 **USB** 充电器
- 2 通用 **USB** 充电插座

概述

LN4050/LN4051 是一个高兼容 **USB** 充电识别控制器集成电路，专为 **USB** 接口手机及移动终端等充电设备快速充电而设计，支持包括 **USB DCP BC1.2** 格式、**YDT1591-2009** 格式、**Apple USB DCP 5W/10W/12W** 格式、**Samsung USB DCP 10W** 在内的各种手机充电格式。可在设

备连接至充电器时自动识别并将充电器配置到正确的充电格式状态，从而实现手机等终端与充电器的匹配充电，提高充电速度。

芯片内置自动检测监控电路，在终端设备与之相连后自动监控数据端口变化，并自动输出与之对应的正确的电气状态，从而支持不同的终端设备，得到最佳化的充电功率支持。

通过一个内置的电压选择矩阵，在 **USB** 数据端子输出不同的电压，所输出的电压指标和等效阻抗特性均依据设备的要求，满足所连接的不同终端设备各自标准，从而得到最佳的兼容性。

芯片内置电源管理电路可在 **4.3V** 到 **5.5V** 的极宽的电压范围内工作，并具有带迟滞特性的 **UVLO** 功能，从而得到可靠的工作状态。

芯片工作时具有低至 **150uA** 的静态电流，仅需消耗不到 **1mW** 的功率。

可提供满足 **ROHS** 标准要求的 **SOT23-6** 标准封装产品。

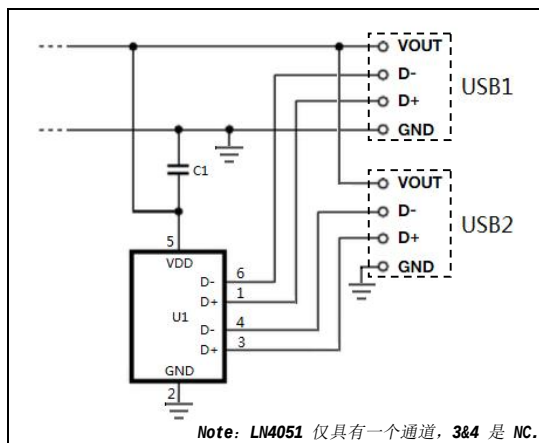


圖 1. 典型電路

The schematic diagram illustrates the internal structure of the LNA4950, featuring two identical channels (CH1 and CH2) and a Power Management Unit (PMU).

- PMU (Power Management Unit):** A central block connected to the VDD and GND rails. It is connected to the 2.7V, 2.0V, and 1.2V supply lines.
- Channels (CH1 and CH2):** Each channel is enclosed in a dashed box and contains:
 - Input Stage:** A differential pair of NMOS transistors (S1, S2) with a tail current source (S3).
 - Load:** A resistor connected to the drains of S1 and S2.
 - Common-Source Stage:** A PMOS transistor (S4) with its gate connected to the drains of S1 and S2, and its source connected to a resistor and the 1.2V supply.
 - Output Stage:** A PMOS transistor (S5) with its gate connected to the gate of S4 and its source connected to the 1.2V supply.
 - Auto-detect:** A block that receives signals from the gates of S1, S2, S3, S4, and S5.
- Supply Rails:** The circuit is powered by VDD and GND. The 2.7V, 2.0V, and 1.2V supply lines are connected to the PMU and the input/output stages of the channels.
- Output Signals:** The output of each channel is connected to DM1 (for CH1) and DM2 (for CH2) on the VDD rail, and DP1 (for CH1) and DP2 (for CH2) on the GND rail.

CH2 Only LNA4950

引脚示意图:

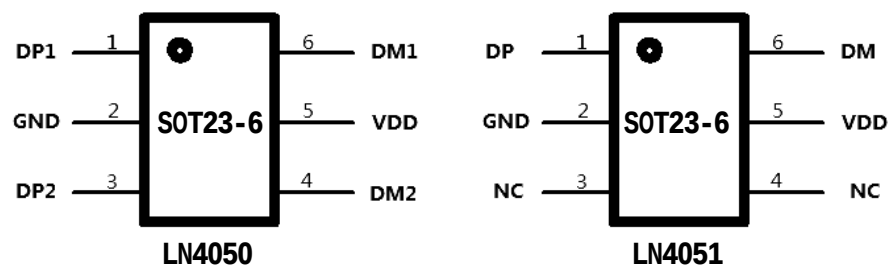
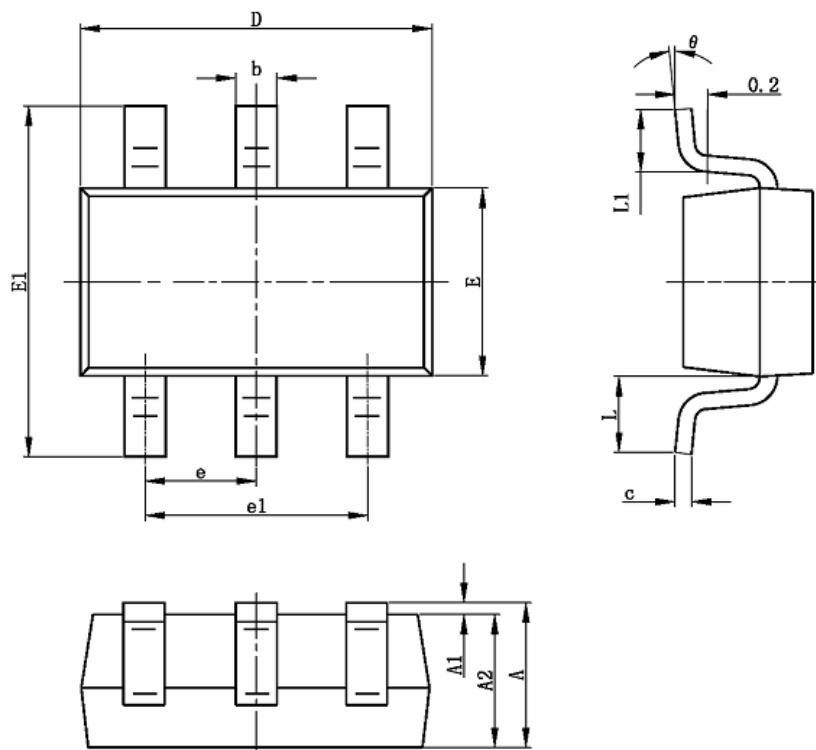


圖 3. 引腳定義

管 脚 号		符 号	管 脚 定 义 描 述
LN4050	LN4051		
1	1	DP1	USB1 数据正脚, 连接至 USB1 D+ 或 D-
2	2	GND	接地脚
3	/	DP2	USB2 数据正脚, 连接至 USB2 D+ 或 D-
4	/	DM2	USB2 数据负脚, 连接至 USB2 D+ 或 D-
5	5	VDD	供电脚
6	6	DM1	USB1 数据负脚, 连接至 USB1 D+ 或 D-
/	3,4	NC	空脚, 未使用

外形尺寸

SOT23-6



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	1.050	1.250	0.041	0.049
A1	0.000	0.100	0.000	0.004
A2	1.050	1.150	0.041	0.045
b	0.300	0.400	0.012	0.016
c	0.100	0.200	0.004	0.008
D	2.820	3.020	0.111	0.119
E	1.500	1.700	0.059	0.067
E1	2.650	2.950	0.104	0.116
e	0.950TYP		0.037TYP	
e1	1.800	2.000	0.071	0.079
L	0.700REF		0.028REF	
L1	0.300	0.600	0.012	0.024
θ	0°	8°	0°	8°

订购信息

型号	输出通道	绿色标准	封装	包装方式
LN4050	两通道	Pb free	SOT23-6	3000PCS/Reel
LN4051	单通道	Pb free	SOT23-6	3000PCS/Reel

声明

力生美、Lii semi、 等均为力生美半导体器件有限公司的商标或注册商标，未经书面允许任何单位、公司、个人均不得擅自使用，所发布产品规格书之著作权均受相关法律法规所保护，力生美半导体保留全部所有之版权，未经授权不得擅自复制其中任何部分或全部之内容用于商业目的。

产品规格书仅为所描述产品的特性说明之用，仅为便于使用相关之产品，力生美半导体不承诺对文档之错误完全负责，并不承担任何因使用本文档所造成的任何损失，本着产品改进的需要，力生美半导体有权在任何时刻对本文档进行必要的修改，并不承担任何通知之义务。

力生美半导体系列产品均拥有相关技术之自主专利，并受相关法律法规保护，未经授权不得擅自复制、抄袭或具有商业目的的芯片反向工程，力生美半导体保留相关依法追究之权利。

力生美半导体不对将相关产品使用于医学、救护等生命设备所造成的任何损失承担责任或连带责任，除非在交易条款中明确约定。

最新信息请访问：

www.liisemi.com