

概述

LP35116-7 是一款高性能高耐压的副边同步整流控制芯片，适用于 AC-DC 的同步整流应用，适用于正激系统和反激系统。LP35116-7 支持 DCM 和 CCM 多种工作模式。

LP35116-7 采用专利的整流管开通技术和周期追踪技术，可以有效的避免因激磁振荡引起的驱动芯片误动作以及在 CCM 工作条件下纯电压判定的关断延迟造成的效率损失。

LP35116-7 采用专利的死区时间外置可编程技术，通过调整一个电阻阻值即可以调节系统在 CCM 模式下同步整流管关断的死区时间。

LP35116-7 采用多样化的 VCC 供电技术，在不需要辅助绕组供电的情况下，保证 AC-DC 控制器在多种输出电压条件时，芯片 VCC 供电脚都不会欠压。

LP35116-7 包括 SOT23-5L 和 SOP8L 封装。

典型应用

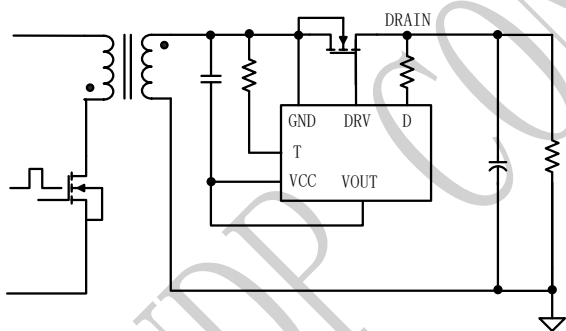


图 1 LP35116-7 反激典型应用图

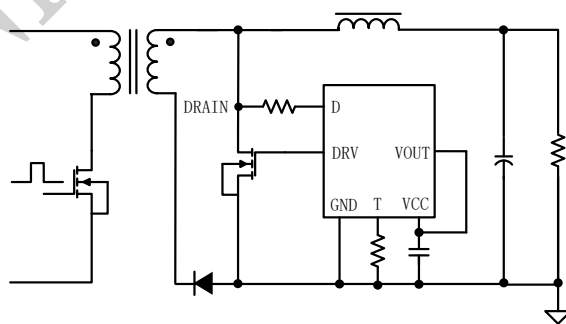


图 2 LP35116-7 正激典型应用图

特点

- 隔离型的同步整流控制应用
- 适用正激和反激系统
- 兼容 DCM 和 CCM 多种工作模式
- 控制芯片 200V 高耐压
- 专利的整流管开通技术和周期追踪技术
- 多样化 VCC 供电技术
- 芯片供电欠压保护
- 芯片过压钳位
- 芯片启动前驱动脚防误导通
- 外围元器件少

应用

- 充电器和适配器的同步整流
- 正激控制器和反激控制器

订购信息

订购型号	封装	包装形式	印章
LP35116P	SOT23-5L	盘装 3000 颗/盘	6Pxxxx
LP35116T	SOT23-5L	盘装 3000 颗/盘	6Txxxx
LP35117	SOP8L	盘装 4000 颗/盘	LP35117 xxxx

*xxxx: 批号

管脚封装

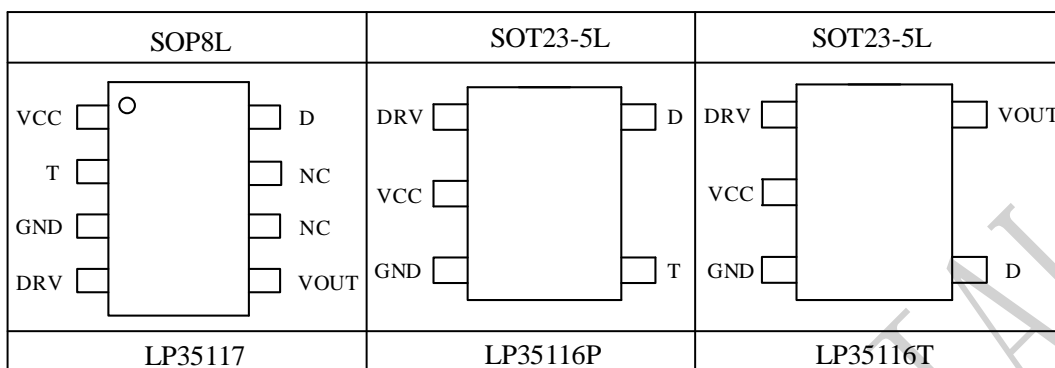


图 3 管脚封装图

管脚描述

管脚名称	描述
VCC	同步整流管的电源脚位，接旁路电容到 GND
T	预关断设置脚位，外接电阻可设置死区时间
GND	同步整流驱动器的芯片地，和 MOS 管的源极连接
DRV	同步整流驱动脚位，和 MOS 管的栅极连接
VOUT	高压供电脚位，VOUT 脚不可悬空；VOUT 电压必须 \geq VCC 电压
D	同步整流驱动器的漏极电压检测脚，并供电 VCC 脚位，接 MOS 管漏极
NC	悬空

极限参数(注 1)

符号	参数	参数范围	单位	
D	芯片供电端和同步整流电压检测端	-0.3~200	V	
VOUT	芯片辅助直流供电端	-0.3~40	V	
VCC	电源电压	-0.3~8	V	
DRV	芯片驱动脚位	-0.3~8	V	
T	芯片死区时间设置端	-0.3~8	V	
SOT23-5L	P_{DMAX}	功耗(注 2)	0.30	W
	θ_{JA}	PN结到环境的热阻	240	$^{\circ}\text{C}/\text{W}$
SOP8L	P_{DMAX}	功耗(注 2)	0.45	W
	θ_{JA}	PN结到环境的热阻	120	$^{\circ}\text{C}/\text{W}$
T_J	工作结温范围	-40 to 150	$^{\circ}\text{C}$	
T_{STG}	储存温度范围	-55 to 150	$^{\circ}\text{C}$	
	ESD(注 3)	2	KV	

注 1: 最大极限值是指超出该工作范围，芯片有可能损坏。推荐工作范围是指在该范围内，器件功能正常，但并不完全保证满足个别性能指标。电气参数定义了器件在工作范围内并且在保证特定性能指标的测试条件下的直流和交流电参数规范。对于未给定上下限值的参数，该规范不予保证其精度，但其典型值合理反映了器件性能。

注 2: 温度升高最大功耗一定会减小，这也是由 T_{JMAX} , θ_{JA} , 和环境温度 T_A 所决定的。最大允许功耗为 $P_{DMAX} = (T_{JMAX} - T_A) / \theta_{JA}$ 或是极限范围给出的数字中比较低的那个值。

注 3: 人体模型，100pF 电容通过 1.5K Ω 电阻放电。

电气参数(注 4, 5) (无特别说明情况下, $V_{CC}=6V, T_A=25^{\circ}C$)

符号	描述	说明	最小值	典型值	最大值	单位
电源电压						
V_{CC}	V_{CC} 工作电压	$D=40V, Other Floating$	5.8	6.1	6.4	V
V_{CC_ON}	V_{CC} 启动电压	V_{CC} 上升	4.3	4.5	4.7	V
V_{CC_UVLO}	V_{CC} 欠压保护阈值	V_{CC} 下降	3.8	4.0	4.2	V
I_{ST}	V_{CC} 启动电流	$V_{CC}=V_{CC_ON}-0.5V$			70	μA
I_{CC}	V_{CC} 工作电流	---	300	350	400	μA
V_{CC_clamp}	V_{CC} 钳位电压	$I_{CC}=40mA$	6.3	6.5	6.7	V
开通设置						
V_{ON}	整流管开通电压阈值	$V_{DS}<V_{ON}$, 开通条件	-0.25	-0.20	-0.15	V
T_{SR}	同步最小关断时间	同步关断到再次开通		2.0		μs
K_{max}	最大开通检测斜率	$V_{CC}=6V$	22.5	25.0	27.5	V/100ns
K_{min}	最小开通检测斜率	$V_{CC}=6V$	1.1	1.3	1.5	V/100ns
关断设置						
V_{OFF}	整流管关断阈值	$V_{DS}>V_{OFF}$, 关断	-8	-5	-2	mV
T_b	比较器屏蔽时间	同步最小开通时间		1.2		μs
T_r	关断响应时间	DRV 悬空			10	ns
T_d	实际关断延迟	DRV 对地电容 5nF	25	30	33	ns
T_{DEAD}	整流管最小死区时间	T 短路到 GND	450	600	750	ns
驱动能力						
V_{drv}	驱动电压最大值[注 6]	---		6		V
I_{chg}	驱动脚出电流典型值[注 6]	$C_g=5nF$ [注 7]		1.5		A
I_{dischg}	驱动脚入电流典型值[注 6]	$C_g=5nF$		4		A
T_{RISE}	驱动上升时间	$C_g=5nF$			25	ns
T_{FALL}	驱动下降时间	$C_g=5nF$			10	ns

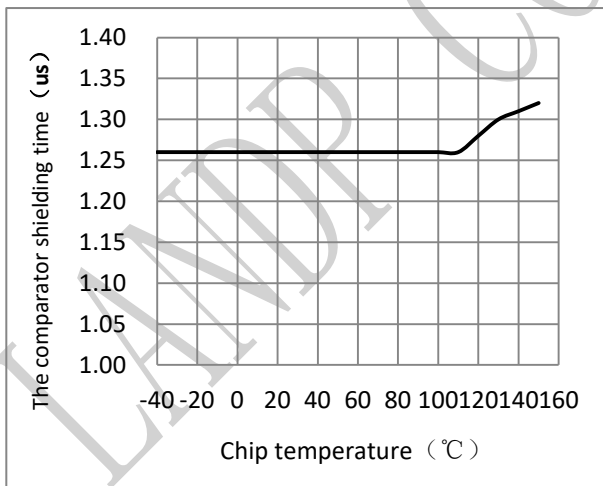
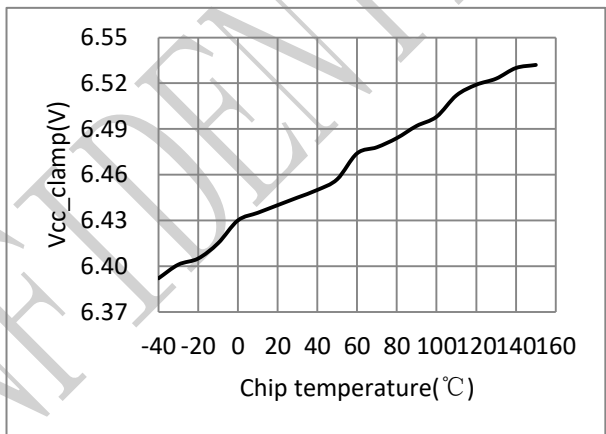
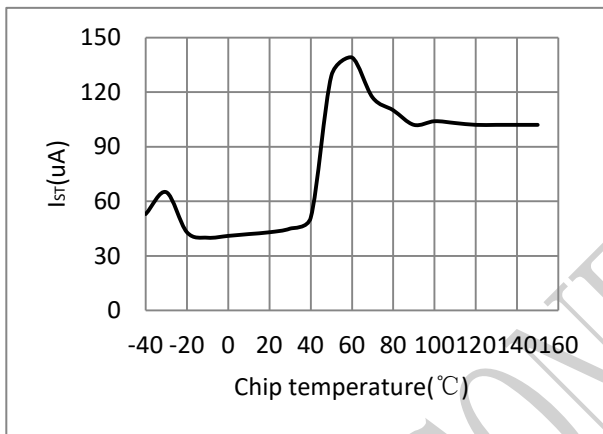
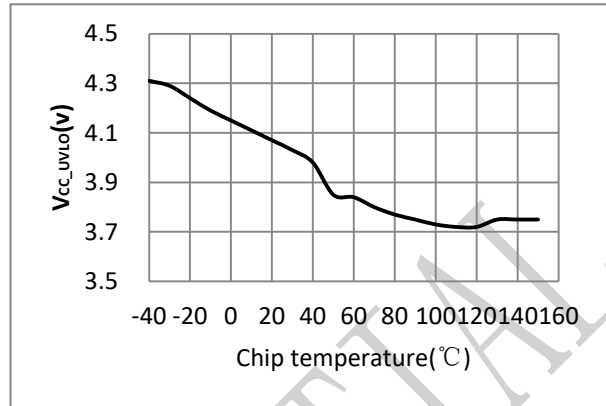
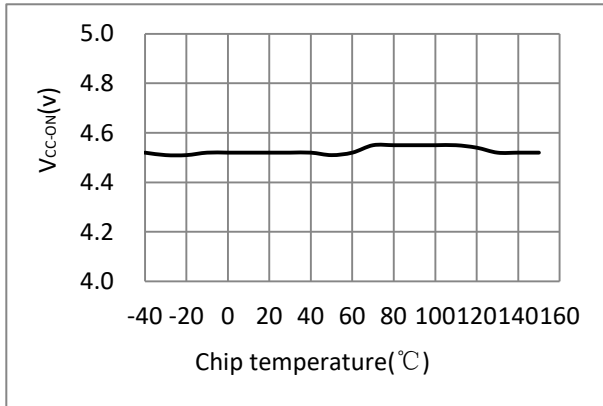
注 4: 典型参数值为 $25^{\circ}C$ 下测得的参数标准。

注 5: 规格书的最小、最大规范范围由测试保证, 典型值由设计、测试或统计分析保证。

注 6: 该参数由设计保证其典型性能。

注 7: C_g 为同步 MOS 管的寄生 C_{iss} 电容。

电气特性图



内部结构框图

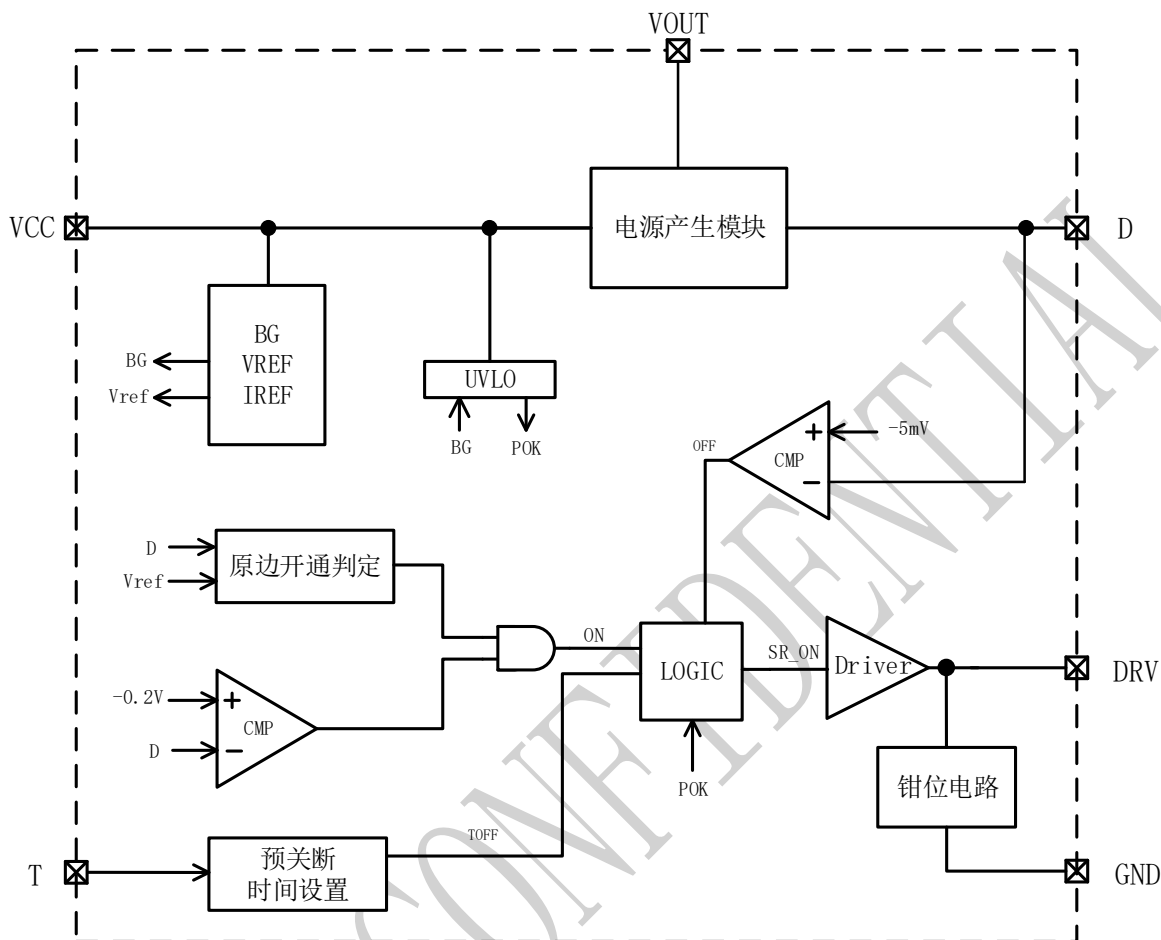


图4 LP35116-7 内部框图

应用信息

LP35116-7 是一款高性能高耐压的副边同步整流芯片，适用于隔离型的同步整流应用，适用于正激和反激系统，支持 DCM 和 CCM 多种工作模式。LP35116-7 采用专利的整流管开通技术和周期追踪技术，可以有效的避免因激磁振荡引起的驱动芯片误动作以及在 CCM 工作条件下纯电压判定的关断延迟造成的效率损失。LP35116-7 采用专利的死区时间外置可编程技术，通过调整一个电阻阻值即可以调节系统在 CCM 模式下同步整流管关断的死区时间。LP35116-7 采用多样化的 VCC 供电技术，在不需要辅助绕组供电的情况下，保证 AC-DC 控制器在多种输出电压条件时，芯片 VCC 供电脚都不会欠压。

启动

当系统上电后，通过内置 MOS 的体二极管对输出电容充电，输出电压上升。LP35116-7 通过 D 脚连接输出电压，当输出电压上升时，经过芯片内部供电电路，给 VCC 电容充电，当 VCC 的电压充到开启阈值电压时，芯片内部控制电路开始工作，MOS 正常的导通和关断。MOS 正常的导通时，电流不再从体二极管流过，而从 MOS 的沟道流过。芯片正常工作时，所需的工作电流仍然会通过 D 脚，给 VCC 供电。

同步整流管导通

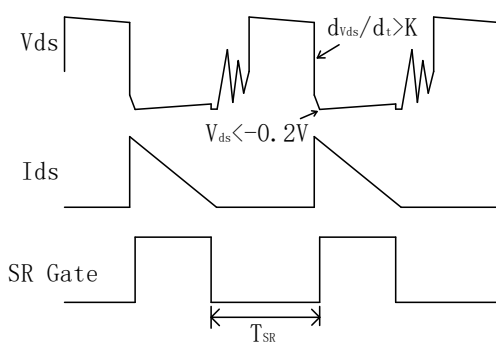
DCM 工作时，由于电感的激磁作用，当初级芯片关断时，会产生振荡。为了防止误检测振荡信号，

导致同步整流管的异常开启，LP35116-7 采用专利的整流管开通技术。

当初级芯片关断时，次级 LP35116-7 的漏极 D 与 GND 之间的电压迅速下降。LP35116-7 通过检测 D 和 GND 之间的下降电压阈值和下降速率，能准确的判断同步整流管的开启。

开通条件：

$$T_{SR} > 2\mu S \ \& \ dV_{ds}/dt > K \ \& \ V_{ds} < -0.2V$$



K 计算公式：

$$K = \frac{332 - 56.3t}{14.2 - 0.014 \times T}$$

K：开通检测斜率，单位 V/100ns

T：芯片结温，单位 $^{\circ}C$

t：V_{DS} 持续大于 4V 的计时时间，t \leq 5.6，即计时大于 5.6 时，取 5.6，单位 us；小于 4V 重置从零开始重新计时

同步整流管关断

为了避免同步整流管导通时，因激磁振荡幅度较大，导致误检测关断信号，使同步整流管异常的关断；LP35116-7 采用专利的周期追踪技术以及设定的整流管关断电压阈值，能准确地判断同步整流管的关断。

关断条件：

同步整流一旦开通，在比较器屏蔽时间 T_b 内不进行关断动作。当开通时间 T_{on} 超过 T_b 时间后，按照以下两种情况进行关断。

1) T 脚悬空：

T_{on} > T_b & The V_{ds} voltage > -5mV，关断同步。

2) T 脚接地或接电阻：

周期追踪模式，可以设定死区时间关断同步；

T_{on} > T_b & The V_{ds} voltage > -5mV，关断同步。

周期追踪技术

基本原理介绍：

检测前四个周期的平均值（检测 V_{DS} 上升沿速率和电压幅度判断周期），预判下一个周期原边 PWM 信号开通时刻，保证 CCM 模式条件下，原边 PWM 信号开通之前，同步整流功率管已经处于关断状态，防止交越。在深度 CCM 条件下，同步整流关断时刻到原边 PWM 信号开通时刻的时间为下述的死区时间 T_{Det}。

可编程的死区时间设置

LP35116-7 的死区时间可以通过 T 脚位外接电阻灵活设置。当 T 脚位悬空时，无死区时间；当 T 脚位接电阻时，死区时间设置公式如下：

$$T_{Det} = 600 + 15R;$$

$$R \leq 150K \ \Omega;$$

其中 T_{Det} 为需要设置的死区时间（单位 ns），R 为 T 脚位接的外部电阻（单位 K Ω ）。

MOS 管的 DRAIN 与芯片的 D 脚之间电阻取值

MOS 管的 DRAIN 与芯片的 D 脚之间电阻取值：5 Ω ~ 20 Ω ；增强系统可靠性。

电阻取值不要超过 50 Ω ，否则会造成 VCC 供电不足和同步提前关断现象。

保护功能

LP35116-7 集成了 VCC 欠压保护，过压钳位，以及驱动脚去干扰等技术。

多样化的 VCC 供电技术

反激系统:

情况 1 (典型应用): 通过 D 脚给 VCC 供电。

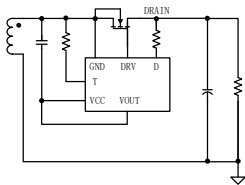


图 5 在输出上端

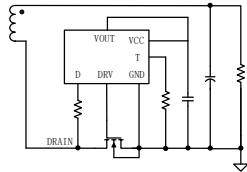


图 6 在输出下端

此种方式供电, 芯片的带载能力如下表:

芯片	MOS 管的 Ciss	带载能力
LP35116P	必须 $\leq 6\text{nF}$	30W~60W
LP35116T	必须 $\leq 6\text{nF}$	30W~60W
LP35117	必须 $\leq 7\text{nF}$	40W~100W

情况 2: 输出电压 $V_o > 6.5\text{V}$ 时, 驱动器的地和输出的地连接应用, V_{OUT} 与输出电容正端之间串接 $500\Omega \sim 1\text{K}\Omega$ 电阻加强 VCC 供电, 效率会比典型应用高一些。

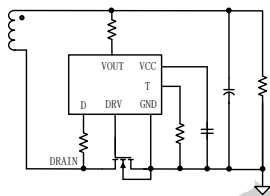


图 7 在输出下端

此种方式供电, 芯片的带载能力如下表:

芯片	输出电压 V_o	MOS 管的 Ciss	带载能力
LP35116T	$V_o > 6.5\text{V}$	建议 $\leq 7\text{nF}$	60W~120W
LP35117	$V_o > 6.5\text{V}$	建议 $\leq 7\text{nF}$	100W~200W

说明: V_{OUT} 与输出电容正端之间串接 $500\Omega \sim 1\text{K}\Omega$ 电阻的作用是防止 V_{OUT} 与输出电容正端连接走线过长, 较强的干扰信号导致 V_{OUT} 脚损伤。

情况 3: 从变压器绕组取电 ($D1$ 、 $C1$ 、 $R1$), 加强 VCC 供电, 效率比典型应用高一些

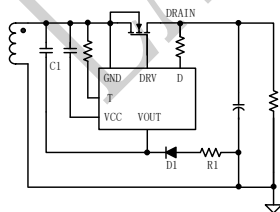


图 8 在输出上端

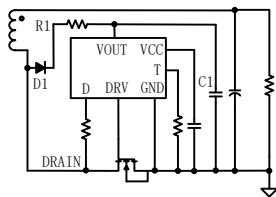


图 9 在输出下端

$D1$ 用 1N4148; $R1$ 根据实际需要选取适当的阻值进行限流;

$C1$ 容量 $2.2\mu\text{F} \sim 10\mu\text{F}$, 耐压要大于 V_{OUT} 承受的电压。

此种方式供电, 芯片的带载能力如下表:

芯片	MOS 管的 Ciss	带载能力
LP35116T	建议 $\leq 7\text{nF}$	60W~120W
LP35117	建议 $\leq 7\text{nF}$	100W~200W

情况 4: 变压器增加辅助绕组取电 ($L1$ 、 $D1$ 、 $C1$ 、 $R1$), 加强 VCC 供电。效率比典型应用高一些

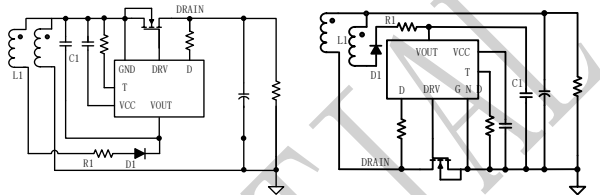


图 10 在输出上端

图 11 在输出下端

$D1$ 用 1N4148; $R1$ 根据实际需要选取适当的阻值进行限流;

$C1$ 容量 $2.2\mu\text{F} \sim 10\mu\text{F}$, 耐压要大于 V_{OUT} 承受的电压。

此种方式供电, 芯片的带载能力如下表:

芯片	MOS 管的 Ciss	带载能力
LP35116T	建议 $\leq 7\text{nF}$	60W~120W
LP35117	建议 $\leq 7\text{nF}$	100W~200W

备注:

1. 以上供电方式: MOS 管的 C_{iss} 越小, V_{DS} 平台电压越低, 频率越小 (建议频率小于 66KHz), 芯片的温升效果越好, 即带载能力越强
2. V_{OUT} 脚任何应用下均不能悬空;
3. 同步整流放输出下端, V_{OUT} 脚与系统输出 V_o 正端连接时, V_o 输出电压必须 $> 6.5\text{V}$, 否则会造成系统工作不正常。这种接法适用于输出电压 $> 6.5\text{V}$ 且固定的电源系统, 对于快充、PD 等输出电压会变化的电源系统不适用。

PCB 设计

在设计 LP35116-7 PCB 时, 需要遵循以下指南:

主功率回路走线要短粗;

主功率回路不要包围芯片;

DRV 与功率管栅极的连线尽量短;

GND 与功率管源极的连线尽量短;

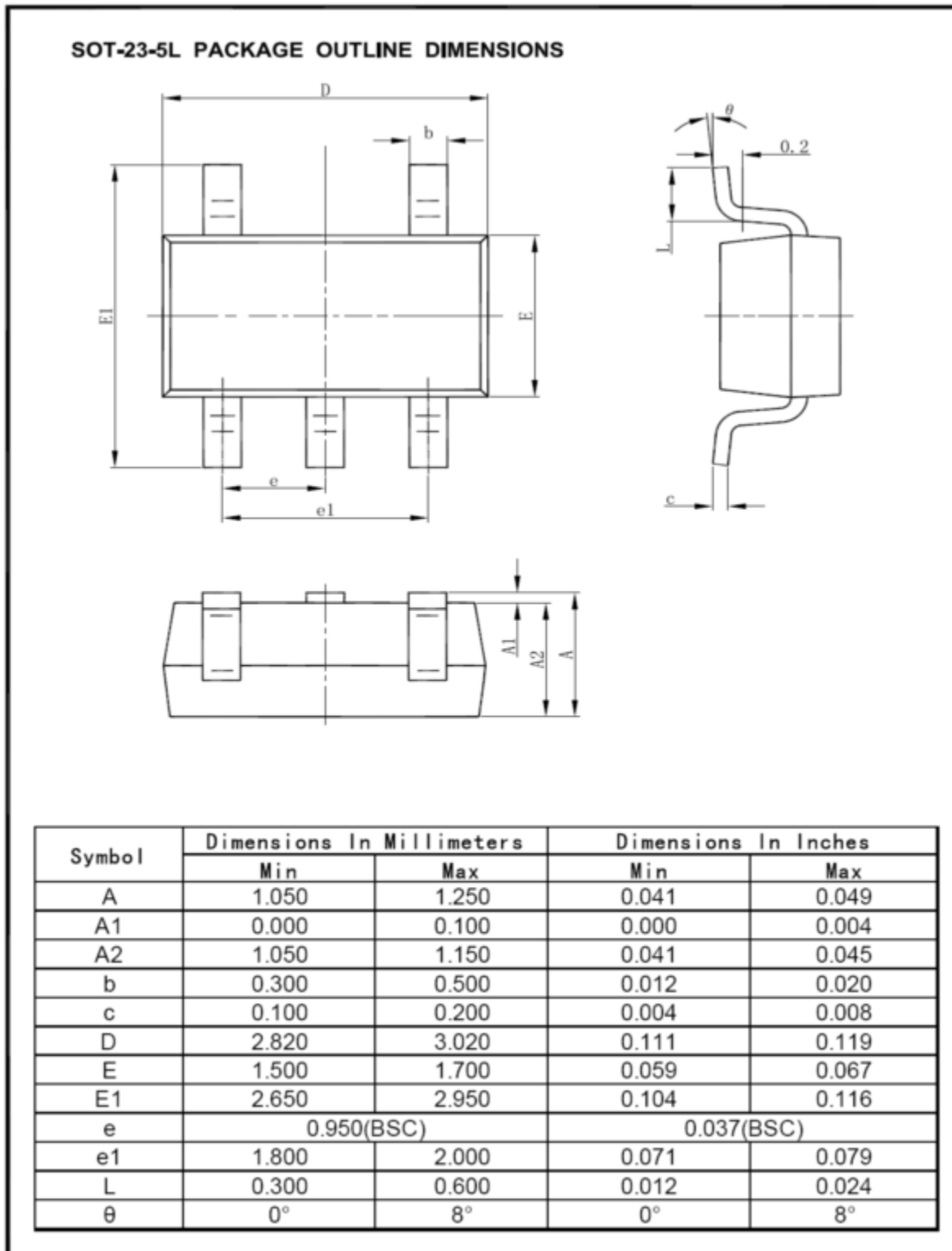
VCC 旁路电容紧靠芯片 VCC 管脚和 GND 管脚;

T 脚电阻紧靠芯片 T 脚和 GND 管脚;

D 引脚的铺铜面积适当大些以提高芯片散热。

封装信息

SOT23-5L 封装信息



SOP8L 封装信息

